

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-214626  
 (43)Date of publication of application : 06.08.1999

(51)Int.CI. H01L 27/04  
 H01L 21/822  
 H01L 27/108  
 H01L 21/8242

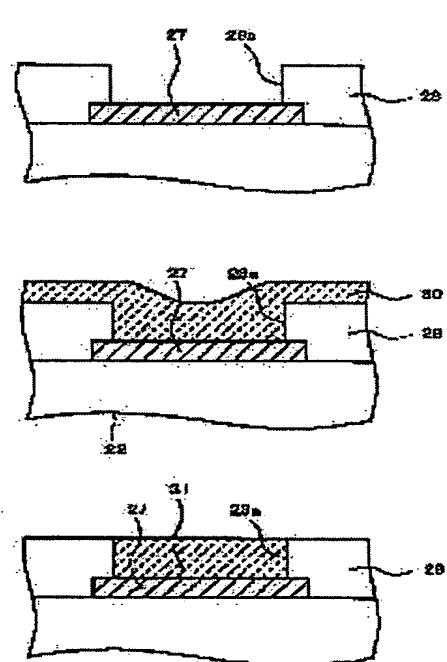
(21)Application number : 10-009433 (71)Applicant : ROHM CO LTD  
 (22)Date of filing : 21.01.1998 (72)Inventor : NISHIMURA ISAMU

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and manufacture thereof wherein the function of an oxide dielectric is hardly lost.

**SOLUTION:** A through-hole 28a reaching a lower electrode 27 is formed through an insulation film 28, a ferroelectric layer 30 is formed by, e.g., the sol-gel method, a part of the ferroelectric layer 30 other than the through-hole 28a is removed to form a ferroelectric part 31 by, e.g., the CMP method, a ferroelectric material is charged in the through-hole 28a to obtain a ferroelectric part 31 formed along the inner shape of the through-hole 28a. For this reason, the ferroelectric part 31 can be formed into a desired shape, without having to break due to etching, and hence lattice defects due to the etching of the ferroelectric (oxide dielectric) part 31 or reducing reaction can be avoided.



## LEGAL STATUS

[Date of request for examination] 25.06.2003  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other

than the examiner's decision of rejection  
or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's  
decision of rejection]  
[Date of requesting appeal against  
examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-214626

(43)公開日 平成11年(1999)8月6日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822  
27/108  
21/8242

識別記号

F I

H 0 1 L 27/04  
27/10

C  
6 5 1

審査請求 未請求 請求項の数8 O.L (全9頁)

(21)出願番号

特願平10-9433

(22)出願日

平成10年(1998)1月21日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 西村 勇

京都府京都市右京区西院溝崎町21番地 ロ  
ーム株式会社内

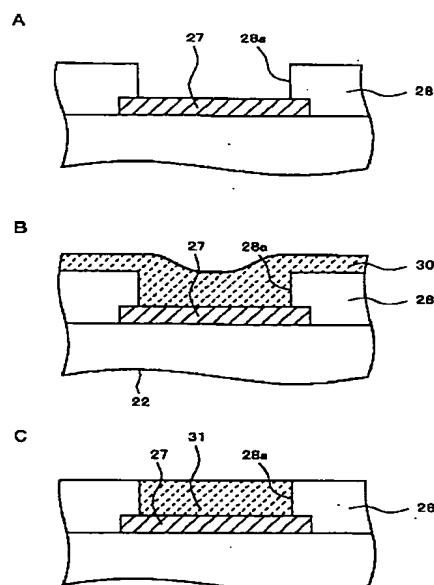
(74)代理人 弁理士 古谷 栄男 (外3名)

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】

【課題】 酸化物誘電体部の機能が損われにくい半導体装置およびその製造方法を提供する。

【解決手段】 下部電極27に到達する貫通穴28aを、絶縁膜28に形成し、つぎに、たとえばソル・ゲル法を用いて強誘電体層30を形成する。つぎに、たとえばCMP法を用いて、強誘電体層30のうち貫通穴28aの内部以外の部分を除去することにより、強誘電体部31を形成する。貫通穴28aの内部に強誘電体物質を充填することにより強誘電体部31を形成することで、貫通穴28aの内部形状に沿った形の強誘電体部31を得ることができる。このため、エッティングによる切断を行なうことなく、強誘電体部31を所望の形状に形成することができる。すなわち、強誘電体部(酸化物誘電体部)31に対するエッティングに伴う格子欠陥や還元反応を避けることができる。



27:下部電極  
28:絶縁膜  
28a:貫通穴  
30:強誘電体層  
31:強誘電体部

## 【特許請求の範囲】

【請求項 1】半導体基板に第 1 の層を形成し、第 1 の層の上に絶縁体層を形成し、絶縁体層に、第 1 の層に到達する貫通穴を形成し、当該貫通穴の内部に酸化物誘電体物質を充填することにより酸化物誘電体部を形成し、酸化物誘電体部の上に第 2 の層を形成すること、を特徴とする、半導体装置の製造方法。

【請求項 2】請求項 1 の半導体装置の製造方法において、前記貫通穴を形成した後、貫通穴の内部および外部に前記酸化物誘電体物質を積み、積まれた酸化物誘電体物質のうち貫通穴の外部にある酸化物誘電体物質を除去することにより、貫通穴の内部に前記酸化物誘電体部を形成すること、を特徴とするもの。

【請求項 3】請求項 2 の半導体装置の製造方法において、前記絶縁体層を形成する前に、前記第 1 の層を所定寸法に切断すること、を特徴とするもの。

【請求項 4】請求項 3 の半導体装置の製造方法において、前記貫通穴の内部に前記酸化物誘電体物質を充填する前に、実質的に前記絶縁体層の上面を平坦化すること、を特徴とするもの。

【請求項 5】請求項 2 の半導体装置の製造方法において、前記酸化物誘電体部を形成した後、前記第 1 の層を所定寸法に切断すること、を特徴とするもの。

【請求項 6】請求項 1 ないし請求項 5 のいずれかの半導体装置の製造方法において、実質的に前記酸化物誘電体部の上面全体を覆う寸法に前記第 2 の層を切断すること、を特徴とするもの。

【請求項 7】請求項 1 ないし請求項 6 のいずれかの半導体装置の製造方法において、前記貫通穴の内周壁を、実質的に前記絶縁体層に直交するよう形成すること、を特徴とするもの。

【請求項 8】半導体基板に設けられた第 1 の層と、第 1 の層の上に設けられた酸化物誘電体部と、酸化物誘電体部の上に設けられた第 2 の層と、を備えた半導体装置において、酸化物誘電体部の側面を酸化物誘電体部と実質的に直交するよう形成するとともに、当該側面を取囲むように形成された絶縁体層を設け、当該絶縁体層および酸化物誘電体部を挟むように、第 1 の層および第 2 の層を形成したこと、

を特徴とする半導体装置。

## 【発明の詳細な説明】

## 【〇〇〇1】

【発明の属する技術分野】この発明は、半導体装置に関し、特に、酸化物誘電体を有する半導体装置およびその製造方法に関する。

## 【〇〇〇2】

【従来の技術】酸化物誘電体を有する半導体装置として、酸化物誘電体の一種である強誘電体を上下の電極ではさんだ構造の強誘電体コンデンサを用いたメモリ装置が知られている。図 7A～図 8B に、このようなメモリ装置に用いられる従来の強誘電体コンデンサの製造方法を説明するための断面図を示す。

【〇〇〇3】従来の強誘電体コンデンサを製造するには、まず、図 7A に示すように、CMOS 素子等（図示せず）の上に絶縁膜 4 を形成した基板 2 を用意し、絶縁膜 4 の上に、スパッタリングにより白金を堆積させることにより、白金層 6 を形成する。同様にして、図 7B～図 7C に示すように、白金層 6 の上に、強誘電体層 8、白金層 10 をこの順に形成する。

【〇〇〇4】つぎに、図 8A に示すように、レジスト（図示せず）をマスクとして白金層 10 に対して RIE（反応性イオンエッティング）によりエッティングを行なうことにより、上部電極 12 を形成する。同様にして、図 8B～図 8C に示すように、それぞれ別のレジスト（図示せず）をマスクとして、強誘電体層 8、白金層 6 に対して、順次、エッティングを行なうことにより、強誘電体部 14、下部電極 16 を形成する。最後に、基板 2 を覆うように絶縁膜（図示せず）を形成する。このようにして、強誘電体コンデンサが形成される。

## 【〇〇〇5】

【発明が解決しようとする課題】しかしながら、このような従来の強誘電体コンデンサの製造方法には、次のような問題があった。従来の製造方法においては、堆積させた強誘電体層 8 に対して、レジストをマスクとして、RIE によりエッティングを行なうことにより、強誘電体部 14 を形成する。

【〇〇〇6】したがって、RIE によるイオンの衝撃に起因する格子欠陥が強誘電体部 14 に生じ易い。また、RIE による還元反応が強誘電体部 14 に生じ易い。したがって、強誘電体部 14 の機能（強誘電性）が損われ易い。特に、強誘電体部 14 の面積が小さい高集積メモリ装置においては、このような問題は深刻である。

【〇〇〇7】この発明は、このような問題点を解決し、強誘電体のような酸化物誘電体部の機能が損われにくい半導体装置およびその製造方法を提供することを目的とする。

【〇〇〇8】また、従来の強誘電体コンデンサの製造方法には、次のような問題もあった。強誘電体層 8 に対してエッティングを行なうに際し、除去困難なエッティング生

成物（サイドウォールポリマー）が強誘電体部14の側面14aに付着するのを防止するために、R I Eにおける等方性エッチングの比率を高く設定している。したがって、強誘電体部14の側面14aが大きく傾斜することになる。

【0009】このため、強誘電体部14の所要面積が必要以上に大きくなってしまう。すなわち、強誘電体コンデンサを用いた半導体装置の集積度を上げる妨げとなっていた。さらに、エッチング条件などのバラつきを考慮して、強誘電体部14と上部電極12または下部電極16との間のマージンを大きくとる必要があった。

【0010】この発明は、また、これらの問題点を解決し、集積度の向上が容易な半導体装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段、発明の作用および効果】請求項1の半導体装置の製造方法は、半導体基板に第1の層を形成し、第1の層の上に絶縁体層を形成し、絶縁体層に、第1の層に到達する貫通穴を形成し、当該貫通穴の内部に酸化物誘電体物質を充填することにより酸化物誘電体部を形成し、酸化物誘電体部の上に第2の層を形成することを特徴とする。

【0012】したがって、貫通穴の内部に酸化物誘電体物質を充填することにより酸化物誘電体部を形成することで、貫通穴の内部形状に沿った形状の酸化物誘電体部を得ることができる。このため、エッチングによる切断を行なうことなく、酸化物誘電体部を所望の形状に形成することができる。すなわち、酸化物誘電体部に対するエッチングに伴う格子欠陥や還元反応を避けることができるので、酸化物誘電体部の機能が損われにくい。

【0013】また、貫通穴の形状を定めれば酸化物誘電体部の形状が決定されるので、エッチングで酸化物誘電体部の形状を決定する場合に比べ、当該形状のバラ付きが少ない。したがって、当該バラ付きを吸収するためのマージンを少なくすることができるので、装置の集積度を上げることが容易である。

【0014】さらに、第1の層と酸化物誘電体部との接触面積が、貫通穴の下端部の面積により定まる。したがって、当該接触面積のバラ付きが少ない。このため、たとえば、第1の層を下部電極とするコンデンサを形成するような場合には、容量値のバラ付きを少なくすることができる。

【0015】なお、絶縁体層に貫通穴を形成する方法は特に限定されるものではないが、たとえば、従来のエッチング方法を用いた場合にも、精度の十分高い穴あけを行なうことができる。

【0016】請求項2の半導体装置の製造方法は、貫通穴を形成した後、貫通穴の内部および外部に酸化物誘電体物質を積み、積まれた酸化物誘電体物質のうち貫通穴の外部にある酸化物誘電体物質を除去することにより、

貫通穴の内部に酸化物誘電体部を形成することを特徴とする。

【0017】したがって、たとえばソル・ゲル (sol-gel) 法を用いて貫通穴の内部および外部に酸化物誘電体物質を積むとともに、たとえばCMP（化学的機械的研磨）法を用いて貫通穴の外部にある酸化物誘電体物質を除去することにより、容易に酸化物誘電体部を形成することができる。

【0018】請求項3の半導体装置の製造方法は、絶縁体層を形成する前に、第1の層を所定寸法に切断することを特徴とする。

【0019】したがって、第1の層より上にある層、たとえば第2の層をエッチング等により所定寸法に切断する工程において、最下層にある第1の層を切断する必要はない。すなわち、該切断工程において深く切下げる必要がないので、装置上面の凹凸がそれほど大きくならない。このため、装置上面を容易に平坦化することができる。

【0020】請求項4の半導体装置の製造方法は、貫通穴の内部に酸化物誘電体物質を充填する前に、実質的に絶縁体層の上面を平坦化することを特徴とする。

【0021】したがって、たとえばCMP法を用いて貫通穴の外部にある酸化物誘電体物質を除去するような場合に、当該貫通穴外部の酸化物誘電体物質を、容易かつ確実に除去することができる。

【0022】請求項5の半導体装置の製造方法は、酸化物誘電体部を形成した後、第1の層を所定寸法に切断することを特徴とする。

【0023】したがって、酸化物誘電体部を形成する工程においては、第1の層はまだ切断されておらず、第1の層の上に形成された絶縁体層は平坦である。このため、酸化物誘電体部を形成する工程において、たとえばCMP法を用いて貫通穴の外部にある酸化物誘電体物質を除去するような場合に、当該貫通穴外部の酸化物誘電体物質を、容易かつ確実に除去することができる。

【0024】請求項6の半導体装置の製造方法は、実質的に酸化物誘電体部の上面全体を覆う寸法に第2の層を切断することを特徴とする。

【0025】したがって、第2の層の切断をエッチングにより行なう場合であっても、当該エッチングの影響が酸化物誘電体部に及ぶことはない。このため、第2の層の切断に伴う酸化物誘電体部の格子欠陥や還元反応を避けることができる。すなわち、酸化物誘電体部の機能が、さらに損われにくい。

【0026】また、酸化物誘電体部と第2の層との接触面積が、貫通穴の上端部の面積により定まる。したがって、当該接触面積のバラ付きが少ない。このため、たとえば、第2の層を上部電極とするコンデンサを形成するような場合には、容量値のバラ付きを少なくすることができる。

【0027】請求項7の半導体装置の製造方法は、貫通穴の内周壁を、実質的に絶縁体層に直交するよう形成することを特徴とする。

【0028】したがって、たとえば、第1の層を下部電極とし、第2の層を上部電極とするようなコンデンサを形成するような場合には、最小限の平面投影面積で所望の容量値を有するコンデンサを得ることができる。このため、装置の集積度を、さらに上げることができる。

【0029】請求項8の半導体装置は、酸化物誘電体部の側面を酸化物誘電体部と実質的に直交するよう形成するとともに、当該側面を取囲むように形成された絶縁体層を設け、当該絶縁体層および酸化物誘電体部を挟むように、第1の層および第2の層を形成したことを特徴とする。

【0030】したがって、たとえば、第1の層を下部電極とし、第2の層を上部電極とするようなコンデンサに適用する場合には、最小限の平面投影面積で所望の容量値を有するコンデンサを実現することができる。このため、集積度の高い装置を得ることができる。

【0031】なお、請求項において「半導体基板に第1の層を形成する」、または「半導体基板に第1の層を設ける」とは、半導体基板に接して第1の層を形成する場合、半導体基板の上に形成した一層以上の別の層の上に第1の層を形成する場合、半導体基板自体が第1の層である場合を含む概念である。

【0032】

【発明の実施の形態】この発明の一実施形態による半導体装置である強誘電体コンデンサを備えたメモリ装置のうち、強誘電体コンデンサ部分の構造について説明する。図1Aないし図3Cは、メモリ装置のうち強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【0033】図3Cに示すように、強誘電体コンデンサCfは、基板(図示せず)の上に形成された絶縁膜24の上に形成されており、下部電極(第1の層)27、強誘電体部(酸化物誘電体部)31、上部電極(第2の層)33をこの順に積み上げた構成を備えている。強誘電体コンデンサCfの上部には絶縁膜34が形成されている。

【0034】また、強誘電体部31の側面31aは、該強誘電体部31と実質的に直交するよう形成されており、当該側面31aを取囲むように絶縁膜(絶縁体層)28が形成されている。当該絶縁膜28の一部および強誘電体部31を挟むように、下部電極27および上部電極33が形成されている。

【0035】したがって、最小限の平面投影面積で所望の容量値を有する強誘電体コンデンサCfを実現することができる。このため、集積度の高いメモリ装置を得ることができる。

【0036】つぎに、図1Aないし図3Cに基づいて、強誘電体コンデンサCfの製造方法を説明する。まず、図1Aに示すように、基板に形成されたCMOS素子等(図示せず)の上に、たとえばBPSG(ホウ素・リン・ケイ酸ガラス)により構成された絶縁膜24を形成したもの用意し、絶縁膜24の上に、たとえばスパッタリングにより白金を堆積させることにより、白金層26を形成する。なお、絶縁膜24の上面は、たとえばリフロー(加熱流動処理)やCMP法などの平坦化技術を用いてあらかじめ平坦化しておくのが好ましい。

【0037】つぎに、図1Bに示すように、白金層26を所望形状にパタニングすることにより、下部電極27を形成する。白金層26のパタニングは、白金層26の上面に所定形状のレジスト(図示せず)を形成し、該レジストをマスクとしてRIEにより白金層26をエッチングすることにより行なう。

【0038】つぎに、図1Cに示すように、下部電極27および絶縁膜24を覆うように絶縁膜(絶縁体層)28を形成する。絶縁膜28は、たとえばシリコン酸化物をCVD(Chemical Vapor Deposition(化学的気相成長))法により堆積させることにより形成する。この実施形態においては、堆積させた絶縁膜28の上面を平坦化するようにしている。

【0039】平坦化は、たとえばSOG(Spin On Glass)法を用いて絶縁膜28の上面の凹部を埋めるようにSOG層(図示せず)を形成し、その後、上部をエッチバックすることにより行なう。また、CMP法により、絶縁膜28の上面の平坦化を行なうようにしてもよい。

【0040】つぎに、図2Aに示すように、下部電極27に到達する貫通穴28aを、絶縁膜28に形成する。貫通穴28aは、絶縁膜28の上面に所定形状のレジスト(図示せず)を形成し、該レジストをマスクとしてRIEにより絶縁膜28をエッチングすることにより行なう。

【0041】つぎに、図2Bに示すように、強誘電体層30を形成する。強誘電体層30を形成するには、たとえばゾル・ゲル法、CVD法、スパッタリング法等を用いて、たとえばPZTにより構成された強誘電体物質(酸化物誘電体物質)を貫通穴28aおよび絶縁膜28の上面に積み上げればよい。これによって、貫通穴28aの内部に強誘電体物質が充填される。

【0042】つぎに、図2Cに示すように、強誘電体層30のうち、貫通穴28aの内部以外の部分を除去することにより、強誘電体部(酸化物誘電体部)31を形成する。強誘電体層30のうち、貫通穴28a外部にある部分を除去するには、たとえばCMP法を用いればよい。また、強誘電体層30の上部をある程度エッチバックにより除去し、その後、CMP法を用いて仕上げを行なうようにしてもよい。

【0043】上述のように、強誘電体層30を形成する

前に、絶縁膜28の上面を平坦化している場合には、C MP法やエッチバックにより、強誘電体層30のうち貫通穴28aの外部にある強誘電体層30のみを、容易かつ確実に除去することができる。

【0044】また、下部電極27と強誘電体部31との接触面積が、貫通穴28aの下端部の開口面積により定まる。したがって、当該接触面積のバラつきが少ない。このため、強誘電体コンデンサCf(図3C参照)の容量値のバラつきを少なくすることができる。

【0045】つぎに、図3Aに示すように、強誘電体部31および絶縁膜28の上に、スパッタリングにより白金を堆積させることにより、白金層32を形成する。

【0046】つぎに、図3Bに示すように、白金層32を所望形状にパタニングすることにより、上部電極33を形成する。白金層32のパタニングは、白金層32の上面に所定形状のレジスト(図示せず)を形成し、該レジストをマスクとしてRIEにより白金層32をエッチングすることにより行なう。

【0047】上部電極33を形成する前に下部電極27は既に形成されている(図1B参照)。したがって、図3Bに示すように、白金層32をエッチングして上部電極33を形成する工程において、最下層にある白金層26(図1A参照)を切断する必要はない。すなわち、該エッチング工程において深く掘り下げる必要がないので、装置上面の凹凸がそれほど大きくならない。このため、装置上面を容易に平坦化することができる(図3C参照)。

【0048】また、図3Bに示すように、強誘電体部31の上面全体を覆うように上部電極33が形成される。したがって、上部電極33を形成する際のエッチングの影響が強誘電体部31に及ぶことはない。このため、当該エッチング工程に伴う強誘電体部31の格子欠陥や還元反応を避けることができる。

【0049】また、強誘電体部31と上部電極33との接触面積が、貫通穴28aの上端部の開口面積により定まる。したがって、当該接触面積のバラつきが少ない。このため、強誘電体コンデンサCfの容量値のバラつきを少なくすることができる。

【0050】つぎに、図3Cに示すように、上部電極33および絶縁膜28を覆うように絶縁膜34を形成する。絶縁膜34は、たとえばシリコン酸化物をCVD法により堆積させることにより形成する。このようにして、強誘電体コンデンサCfを形成することができる。

【0051】このように、貫通穴28aの内部に強誘電体物質を充填することにより強誘電体部31を形成することで、貫通穴28aの内部形状に沿った形状の強誘電体部31を得ることができる。このため、エッチングによる切断を行なうことなく、強誘電体部31を所望の形状に形成することができる。すなわち、強誘電体部31に対するエッチングに伴う格子欠陥や還元反応を避ける

ことができるので、強誘電体部31の機能が損われにくい。

【0052】また、貫通穴28aの形状を定めれば強誘電体部31の形状が決定されるので、エッチングにより強誘電体部31を切出す場合に比べ、強誘電体部31の形状のバラつきが少ない。したがって、当該バラつきを吸収するためのマージンを少なくすることが可能となるので、メモリ装置の集積度を上げることが容易である。

【0053】なお、上述の実施形態においては、貫通穴を形成する前に、絶縁体層の上面を平坦化する構成したが、絶縁体層の上面の凹凸がそれほど大きくなっている場合には、絶縁体層の上面を平坦化する処理を省略することもできる。

【0054】つぎに、図4A～図6Bに基づいて、この発明の他の実施形態による強誘電体コンデンサの製造方法を説明する。まず、図4Aに示すように、CMOS素子等(図示せず)の上に、たとえばBPSGにより構成された絶縁膜44を形成した基板42を用意し、絶縁膜44の上に、たとえばスパッタリングにより白金を堆積させることにより、白金層(第1の層)46を形成する。なお、上述の実施形態の場合と同様に、絶縁膜44の上面は、たとえばリフローやCMP法などの平坦化技術を用いてあらかじめ平坦化しておくのが好ましい。

【0055】つぎに、図4Bに示すように、白金層46の上に絶縁膜(絶縁体層)48を形成する。絶縁膜48は、たとえばシリコン酸化物をCVDにより堆積させることにより形成する。この実施形態においては、白金層46はまだパタニングされていないので、その上に形成した絶縁膜48の凹凸は少ない。したがって、前述の実施形態のように当該絶縁膜の上面を平坦化する必要はない。

【0056】つぎに、図4Cに示すように、白金層46に到達する貫通穴48aを、絶縁膜48に形成する。貫通穴48aは、絶縁膜48の上面に所定形状のレジスト(図示せず)を形成し、該レジストをマスクとしてRIEにより絶縁膜48をエッチングすることにより行なう。

【0057】つぎに、図5Aに示すように、強誘電体層50を形成する。強誘電体層50を形成するには、たとえばゾル・ゲル法、CVD法、スパッタリング法等を用いて、たとえばPZTにより構成された強誘電体物質(酸化物誘電体物質)を貫通穴48aおよび絶縁膜48の上面に積み上げればよい。これによって、貫通穴48aの内部に強誘電体物質が充填される。

【0058】つぎに、図5Bに示すように、強誘電体層50のうち、貫通穴48aの内部以外の部分を除去することにより、強誘電体部(酸化物誘電体部)51を形成する。強誘電体層50のうち、貫通穴48a外部にある部分を除去するには、たとえばCMP法を用いればよい。また、強誘電体層50の上部をある程度エッチバッ

クにより除去し、その後、C M P法を用いて仕上げを行うようにしてもよい。

【0059】上述のように、絶縁膜48の上面は、特に平坦化処理を行なわなくても凹凸が少ないので、C M P法やエッティングパックによって、貫通穴48aの外部にある強誘電体層50のみを、容易かつ確実に除去することができる。

【0060】つぎに、図5Cに示すように、強誘電体部51および絶縁膜48の上に、スパッタリングにより白金を堆積させることにより、白金層(第2の層)52を形成する。

【0061】つぎに、図6Aに示すように、白金層52、絶縁膜48、白金層46を所望形状にパタニングすることにより、上部電極53および下部電極47を形成する。たとえば、R I E等のエッティングによりパタニングする場合には、白金層52、絶縁膜48、白金層46に対して、それぞれ異なるレジスト(図示せず)を用いて、別個にエッティングしてもよいし、3つの層に対して一つのレジスト(図示せず)を用いて、一度にエッティングするようにしてもよい。

【0062】最後に、図6Bに示すように、上部電極53および絶縁膜44の上を覆うように絶縁膜54を形成する。絶縁膜54は、たとえばシリコン酸化物をC V D法により堆積せることにより形成する。このようにして、強誘電体コンデンサCfを形成することができる。

【0063】なお、上述の各実施形態においては、酸化物誘電体部の上面全体を覆う寸法に第2の層を切断するよう構成したが、酸化物誘電体部の一部が覆われないような寸法に第2の層を切断することもできる。

【0064】また、上述の各実施形態においては、貫通穴の内周壁を、絶縁体層に直交するよう構成したが、貫通穴の内周壁を、絶縁体層に直交しないよう構成することもできる。

【0065】また、上述の各実施形態においては、上部電極および下部電極が白金により構成されている場合を例に説明したが、上部電極または下部電極の材質は、白金に限定されるものではない。たとえば、上部電極または下部電極としてイリジウム酸化物やイリジウムなどを用いたり、2種以上の導電体層を重ねることによって上部電極または下部電極を形成することもできる。

【0066】また、上述の各実施形態においては、第1の層および第2の層として導電性を有する層を例に説明したが、第1の層および第2の層はこれに限定されるものではない。第1の層または第2の層が、たとえば半導体で構成されている場合や絶縁体で構成されている場合にも、この発明を適用することができる。具体例として、半導体基板上に強誘電体を積み、その上に上部電極を置いた構造にも適用することができる。この場合、半導体基板の一部または全体が第1の層を構成することになる。

【0067】また、上述の各実施形態においては、強誘電体物質としてP Z Tを用いたが、強誘電体物質はこれに限定されるものではない。強誘電体物質として、たとえば、S B Tなどを用いることもできる。

【0068】また、上述の各実施形態においては、酸化物誘電体物質として強誘電体物質を例に説明したが、この発明はこれに限定されるものではない。この発明は、誘電性を有する酸化物全般に適用することができる。

【0069】また、2種以上の酸化物誘電体層を重ねることによって、ひとつの酸化物誘電体層を構成することもできる。

【0070】また、上述の各実施形態においては、半導体装置としてメモリ装置を例に説明したが、この発明はこれに限定されるものではなく、半導体装置一般に適用することができる。

#### 【図面の簡単な説明】

【図1】図1Aないし図1Cは、この発明の一実施形態による強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【図2】図2Aないし図2Cは、この発明の一実施形態による強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【図3】図3Aないし図3Cは、この発明の一実施形態による強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【図4】図4Aないし図4Cは、この発明の他の実施形態による強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【図5】図5Aないし図5Cは、この発明の他の実施形態による強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【図6】図6Aないし図6Bは、この発明の他の実施形態による強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【図7】図7Aないし図7Cは、従来の強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

【図8】図8Aないし図8Cは、従来の強誘電体コンデンサ部分の製造方法を説明するために、強誘電体コンデンサ部分の断面を主要な工程ごとに示した図面である。

#### 【符号の説明】

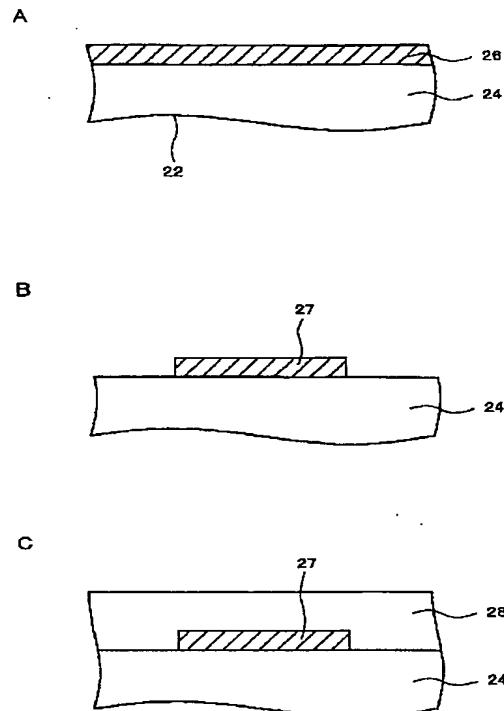
27 · · · · · 下部電極

28 · · · · · 絶縁膜

28a · · · · · 貫通穴

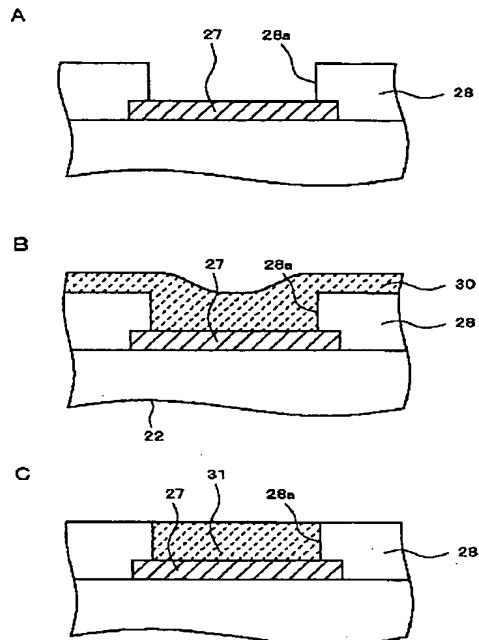
## 30 . . . . . 強誘電体層

【図 1】



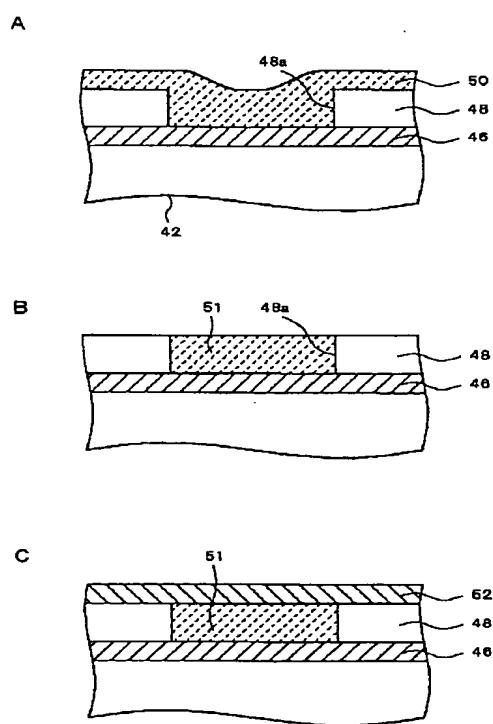
## 31 . . . . . 強誘電体部

【図 2】

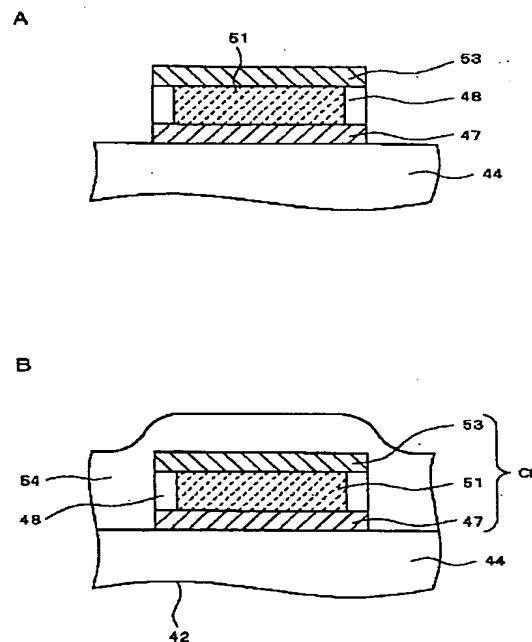


27:下部母板  
28:絶縁膜  
28a:貫通穴  
30:強誘電体層  
31:強誘電体部

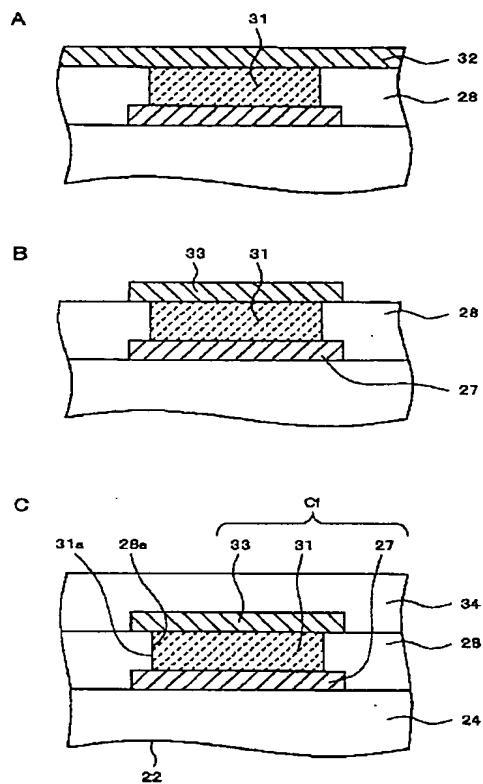
【図 5】



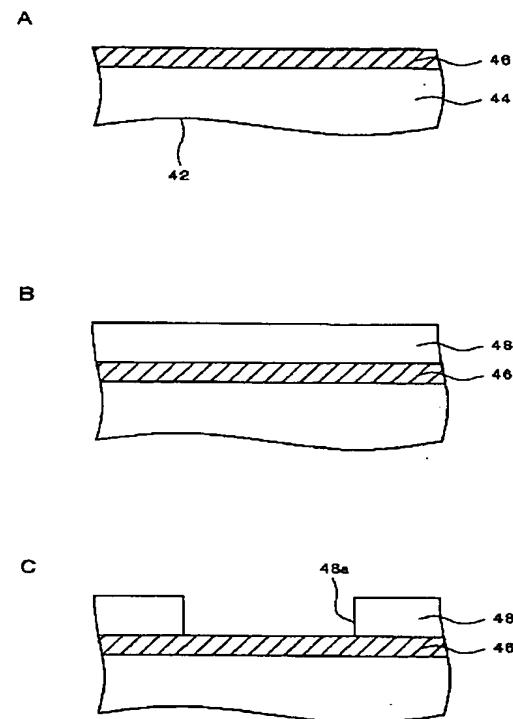
【図 6】



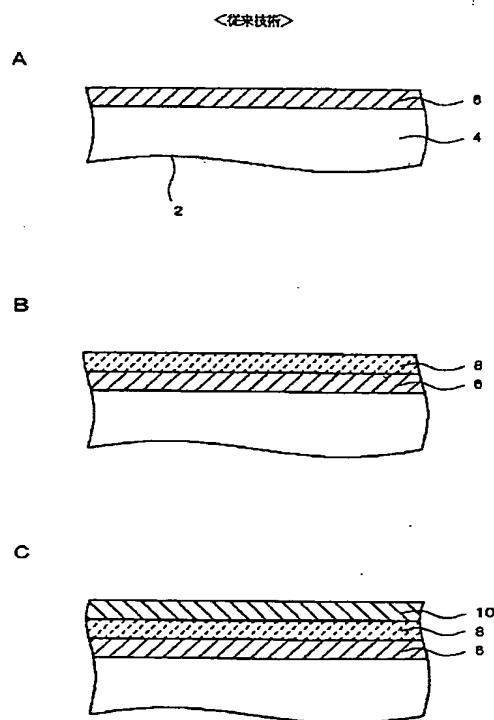
【図 3】



【図 4】



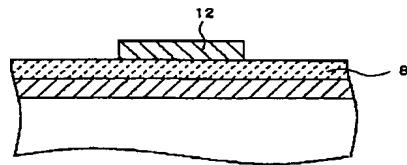
【図 7】



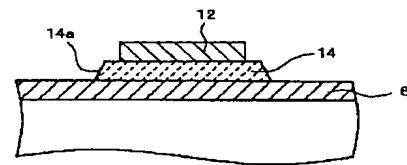
【図 8】

&lt;従来技術&gt;

A



B



C

